

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-257320

(P2001-257320A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 8 3
27/108			6 1 1
21/8242			6 5 1

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願2000-66734 (P2000-66734)

(22) 出願日 平成12年3月10日 (2000.3.10)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 金谷 宏行

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100092820

弁理士 伊丹 勝

Fターム (参考) 5F083 AD21 F002 GA09 GA28 JA15

JA17 JA36 JA37 JA38 JA39

JA40 JA43 MA06 MA17 MA18

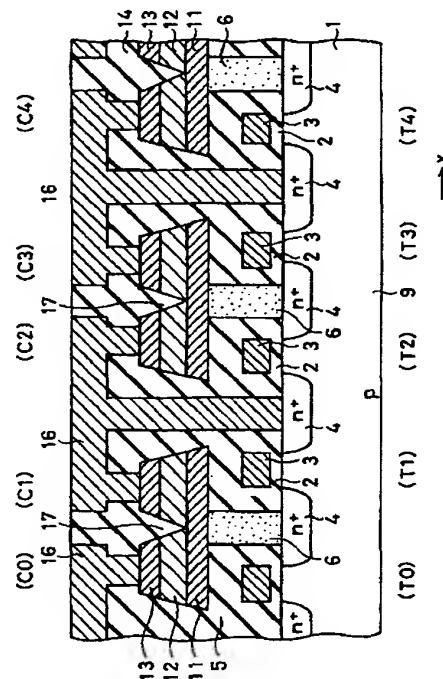
MA19 NA01 PR03 PR07

## (54) 【発明の名称】 半導体記憶装置及びその製造方法

## (57) 【要約】

【課題】 強誘電体メモリセルの単位セル面積縮小を可能とした半導体記憶装置とその製造方法を提供する。

【解決手段】 シリコン基板1に形成された複数のトランジスタと、このトランジスタを覆うように形成された層間絶縁膜5と、この層間絶縁膜上に形成された、下部電極11、強誘電体膜12及び上部電極13の積層構造からなる複数の強誘電体キャパシタとを有し、2個ずつの強誘電体キャパシタが共通の下部電極11と個別の上部電極13を持つように対をなし、且つ対をなす強誘電体キャパシタ内の上部電極13間のスペースと、隣接する対の強誘電体キャパシタの上部電極間のスペースとが1回のドライエッチング工程で加工され、対をなす強誘電体キャパシタ内の上部電極13間は小さい略V字状の溝17により分離されている。



1

## 【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板に形成された複数のトランジスタと、このトランジスタを覆うように形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された、下部電極、強誘電体膜及び上部電極の積層構造からなる複数の強誘電体キャパシタとを有する半導体記憶装置において、

2個ずつの強誘電体キャパシタが共通の下部電極と個別の上部電極を持つように対をなし、且つ対をなす強誘電体キャパシタ内の上部電極間のスペースが、隣接する対の強誘電体キャパシタの上部電極間のスペースより小さく設定されていることを特徴とする半導体記憶装置。

【請求項2】 対をなす強誘電体キャパシタの周囲は、上部電極上面から下部電極底面まで連続する段差のない斜面をもって加工され、且つ対をなす強誘電体キャパシタ内の上部電極間が略V字状の溝により分離されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記半導体基板に複数の素子形成領域が区画され、

前記各素子形成領域に形成された、隣接するもの同士で拡散層を共有して配列された複数のトランジスタと、これらの各トランジスタに並列接続された強誘電体キャパシタとによりセルアレイブロックが構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記セルアレイブロック内のトランジスタ配列方向と交差する方向のトランジスタのゲート電極が共通にワード線として配設されており、

前記対をなす強誘電体キャパシタ内の上部電極間のスペースは前記ワード線の幅以下に設定されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記ワード線の幅は、デザインルールの最小加工寸法に設定されていることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 前記セルアレイブロック内で、対をなす強誘電体キャパシタの共通の下部電極は、前記第1の層間絶縁膜に埋め込まれた一つのコンタクトプラグを介して前記トランジスタの第1の拡散層に接続され、且つ前記強誘電体キャパシタを覆って形成された第2の層間絶縁膜上に、一端が前記上部電極に接続され、他端が隣接する対の強誘電体キャパシタ間のスペースに形成されたコンタクト孔を介して前記トランジスタの第2の拡散層に接続される配線層が形成されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項7】 前記対をなす強誘電体キャパシタの上部電極間のスペースが上部電極の幅の1/2以下に設定されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項8】 半導体基板と、この半導体基板に形成された複数のトランジスタと、このトランジスタを覆うように形成された第1の層間絶縁膜と、この第1の層間絶

2

縁膜上に形成された、下部電極、強誘電体膜及び上部電極の積層構造からなる複数の強誘電体キャパシタとを有する半導体記憶装置において、

複数個ずつ1セットの強誘電体キャパシタが共通の下部電極と個別の上部電極を持って形成され、この1セットの強誘電体キャパシタの周囲は、上部電極上面から下部電極底面まで連続する段差のない斜面をもって加工され、且つ各上部電極間が略V字状の溝により分離されていることを特徴とする半導体記憶装置。

【請求項9】 前記1セットの強誘電体キャパシタのなかの上部電極間のスペースが上部電極の幅の1/2以下に設定されていることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 半導体基板に複数のトランジスタを形成する工程と、

前記トランジスタを覆うように前記半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜上に複数の強誘電体キャパシタを構成するための下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、

前記上部電極材料膜の各上部電極形成領域上にエッチングマスクを形成する工程と、

前記エッチングマスクを用いて、各強誘電体キャパシタの上部電極間を分離すると同時に、複数個ずつ1セットの強誘電体キャパシタが下部電極を共有するように隣接するセットの強誘電体キャパシタ間を分離するエッチング工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項11】 半導体基板に複数の素子形成領域を区画する素子分離絶縁膜を形成する工程と、

前記半導体基板の各素子形成領域に隣接するもの同士で拡散層を共有する複数のトランジスタを形成する工程と、

前記トランジスタを覆うように前記半導体基板上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に前記トランジスタの第1の拡散層に接続されるコンタクトプラグを埋め込む工程と、

前記第1の層間絶縁膜上に複数の強誘電体キャパシタを構成するための下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、

前記上部電極材料膜の各上部電極形成領域上にエッチングマスクを形成する工程と、

前記エッチングマスクを用いて、各強誘電体キャパシタの上部電極間を分離すると同時に、対をなす強誘電体キャパシタが前記コンタクトプラグに接続された下部電極を共有するように隣接する対の強誘電体キャパシタ間を分離するエッチング工程と、

前記強誘電体キャパシタを覆う第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜上に、前記強誘電体キャパシタの

3

上部電極と対応するトランジスタの第2の拡散層との間を接続する配線層を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項12】 前記エッチングマスクは、対をなす強誘電体キャパシタ内の上部電極間のスペースが隣接する対の強誘電体キャパシタの上部電極間のスペースより小さくなるようにパターン形成され、

前記エッチング工程は、エッチングのスペース依存性を利用して、隣接する対の強誘電体キャパシタ間で上部電極材料膜、強誘電体膜及び下部電極材料膜のエッチングが終了したときに、対をなす強誘電体キャパシタ内で下部電極材料膜がエッチングされずに残るようにしたことを特徴とする請求項10又は11記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特に強誘電体キャパシタとトランジスタを用いて構成される強誘電体メモリとその製造方法に関する。

【0002】

【従来の技術】強誘電体メモリとして、トランジスタと強誘電体キャパシタを並列接続したものを複数個直列接続してセルアレイブロックを構成するチェーン型強誘電体メモリが提案されている。その等価回路は、図4のようになる。図4では、8個のトランジスタT0～T7が直列接続され、それぞれに強誘電体キャパシタC0～C7が並列接続されて、セルアレイブロックが構成されている。セルアレイブロックの一端は、選択ゲートトランジスタST1を介してビット線BLに接続され、他端は選択ゲートトランジスタST2を介して（或いは直接）プレート線PLに接続されている。

【0003】トランジスタT0～T7のゲートはそれぞれワード線WL0～WL7に接続され、選択ゲートトランジスタST1、ST2のゲートはそれぞれ選択ゲート線BS1、BS2に接続されている。具体的にワード線WL0～WL7及び選択ゲート線BS1、BS2は、他の複数のセルアレイブロック（図示しない）の間で対応するゲート電極を連続的に配設することにより構成される。

【0004】このチェーン型強誘電体メモリは、セルアレイブロック内で隣接するトランジスタの拡散層を共有することにより、単位セル面積を小さくできるという利点を有する。特に、強誘電体キャパシタにCOP（Capacitor On Plug）構造を用いることにより、メモリセルの微細化が可能である。COP構造は、トランジスタが形成された基板の層間絶縁膜にコンタクトプラグを埋め込み、このコンタクトプラグ上に強誘電体キャパシタを形成するものである。この場合対をなす二つの強誘電体キャパシタが、一つのコンタクトプラグを介して拡散層に接続される共通の下部電極を持

4

つように形成することにより、微細化が図られる。

【0005】

【発明が解決しようとする課題】しかし、COP構造のチェーン型強誘電体メモリの微細化にも問題がある。即ち、強誘電体キャパシタは、下部電極材料膜、強誘電体膜及び上部電極材料膜の積層膜を加工して形成される。このとき、二つの上部電極に対して共通の下部電極を持つように加工するためには、上部電極の加工のためのリソグラフィと、下部電極を加工するためのリソグラフィの2回のリソグラフィ工程が必要となる。このため、2回のリソグラフィの合わせずれを考慮しなければならず、合わせずれに対する余裕を十分にとれば、対をなして配列される強誘電体キャパシタ間のスペースが大きくなり、これがセル面積の更なる縮小を困難にする。合わせずれに対する余裕が小さいと、合わせずれにより下部電極エッチングの際に既に加工されている上部電極が一部エッチングされ、上部電極面積が変わる。これは強誘電体特性のばらつきの原因となる。特に微細なセルアレイを実現しようとする場合、この合わせずれの影響は大きい。

【0006】この発明は、上記事情を考慮してなされたもので、簡単な工程で強誘電体メモリセルの単位セル面積縮小を可能とした半導体記憶装置とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明は、半導体基板と、この半導体基板に形成された複数のトランジスタと、このトランジスタを覆うように形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された、下部電極、強誘電体膜及び上部電極の積層構造からなる複数の強誘電体キャパシタとを有する半導体記憶装置において、2個ずつの強誘電体キャパシタが共通の下部電極と個別の上部電極を持つように対をなし、且つ対をなす強誘電体キャパシタ内の上部電極間のスペースが、隣接する対の強誘電体キャパシタの上部電極間のスペースより小さく設定されていることを特徴とする。より具体的には、対をなす強誘電体キャパシタの周囲は、上部電極上面から下部電極底面まで連続する段差のない斜面をもって加工され、且つ対をなす強誘電体キャパシタ内の上部電極間が略V字状の溝により分離されているものとする。

【0008】この様に、強誘電体キャパシタの上部電極が等間隔ではなく、共通下部電極上の対をなす強誘電体キャパシタ内の上部電極間のスペースを、隣接する対の強誘電体キャパシタの上部電極間のスペースより小さく設定することによって、単位セル面積を小さいものとすることができる。

【0009】この発明において、好ましくは、半導体基板にストライプ状の複数の素子形成領域が区画され、各素子形成領域に形成された、隣接するもの同士で拡散層

5

を共有して配列された複数のトランジスタと、これらの各トランジスタに並列接続された強誘電体キャパシタとによりセルアレイブロックが構成されているものとする。またこの場合、セルアレイブロック内のトランジスタ配列方向と交差する方向のトランジスタのゲート電極が共通にワード線として配設されており、対をなす強誘電体キャパシタ内の上部電極間のスペースはワード線の幅以下とする。この様にワード線幅以下の狭いスペースで上部電極間を分離すれば、強誘電体キャパシタを微細ピッチの配列とした場合にも、上部電極の面積（従って

キャパシタ容量）をより大きく確保することができ、優れた特性を得ることができる。具体的に例えば、ワード線幅はデザインルールの最小加工寸法に設定するものとする。

【0010】更にこの発明において、好ましくは、セルアレイブロック内で、対をなす強誘電体キャパシタの共通の下部電極は、第1の層間絶縁膜に埋め込まれた一つのコンタクトプラグを介してトランジスタの第1の拡散層に接続され、且つ強誘電体キャパシタを覆って形成された第2の層間絶縁膜上に、一端が上部電極に接続され、他端が隣接する対の強誘電体キャパシタ間のスペースに形成されたコンタクト孔を介してトランジスタの第2の拡散層に接続される配線層が形成されているものとする。更に好ましくは、対をなす強誘電体キャパシタの上部電極間のスペースが上部電極の最大幅の1/2以下に設定されているものとする。

【0011】この発明はまた、半導体基板と、この半導体基板に形成された複数のトランジスタと、このトランジスタを覆うように形成された第1の層間絶縁膜と、この第1の層間絶縁膜上に形成された、下部電極、強誘電体膜及び上部電極の積層構造からなる複数の強誘電体キャパシタとを有する半導体記憶装置において、複数個ずつ1セットの強誘電体キャパシタが共通の下部電極と個別の上部電極を持って形成され、この1セットの強誘電体キャパシタの周囲は、上部電極上面から下部電極底面まで連続する段差のない斜面をもって加工され、且つ各上部電極間が略V字状の溝により分離されていることを特徴とする。

【0012】この発明に係る半導体記憶装置の製造方法は、半導体基板に複数のトランジスタを形成する工程と、前記トランジスタを覆うように前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に複数の強誘電体キャパシタを構成するための下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、前記上部電極材料膜の各上部電極形成領域上にエッチングマスクを形成する工程と、前記エッチングマスクを用いて、各強誘電体キャパシタの上部電極間を分離すると同時に、複数個ずつ1セットの強誘電体キャパシタが下部電極を共有するように隣接するセットの強誘電体キャパシタ間を分離するエッチング工程とを有すること

6

を特徴とする。

【0013】この発明に係る半導体記憶装置の製造方法はまた、半導体基板にストライプ状の複数の素子形成領域を区画する素子分離絶縁膜を形成する工程と、前記半導体基板の各素子形成領域に隣接するもの同士で拡散層を共有する複数のトランジスタを形成する工程と、前記トランジスタを覆うように前記半導体基板上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜に前記トランジスタの第1の拡散層に接続されるコンタクトプラグを埋め込む工程と、前記第1の層間絶縁膜上に複数の強誘電体キャパシタを構成するための下部電極材料膜、強誘電体膜及び上部電極材料膜を順次堆積する工程と、前記上部電極材料膜の各上部電極形成領域上にエッチングマスクを形成する工程と、前記エッチングマスクを用いて、各強誘電体キャパシタの上部電極間を分離すると同時に、対をなす強誘電体キャパシタが前記コンタクトプラグに接続された下部電極を共有するように隣接する対の強誘電体キャパシタ間を分離するエッチング工程と、前記強誘電体キャパシタを覆う第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜上に、前記強誘電体キャパシタの上部電極と対応するトランジスタの第2の拡散層との間を接続する配線層を形成する工程とを有することを特徴とする。

【0014】この発明の製造方法において、具体的に、エッチングマスクは、共通下部電極上で対をなす強誘電体キャパシタ内の上部電極間のスペースが隣接する対の強誘電体キャパシタの上部電極間のスペースより小さくなるようにパターン形成され、エッチング工程は、エッチングのスペース依存性を利用して、隣接する対の強誘電体キャパシタ間で上部電極材料膜、強誘電体膜及び下部電極材料膜のエッチングが終了したときに、対をなす強誘電体キャパシタ内で下部電極材料膜がエッチングされずに残るようにしたものである。この発明の方法によると、ドライエッチングの速度がスペースの小さい箇所が遅く、スペースの大きい箇所が速いというエッチングのスペース依存性（マイクロローディング効果）を利用することにより、1回のリソグラフィ工程で上部電極の分離加工と下部電極の分離加工が可能になる。これにより、2回のリソグラフィ工程を行う場合の合わせずれに対する余裕が必要なくなり、単位セル面積の縮小が可能になる。また、上部電極と下部電極を別のリソグラフィ工程を経て加工する場合のように、既に加工された上部電極がエッチングされることはなく、従って強誘電体キャパシタの特性のばらつきも低減される。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1は、この発明の実施の形態によるチェーン型強誘電体メモリのセルアレイ領域のレイアウト（上部配線を省略している）であり、図2及び図3はそれぞれ図1のA-A'及びB-B'断面図で

7

ある。図2に示すC0, C1, …とT0, T1, …は、図4の等価回路に示すセルアレイブロック内の強誘電体キャパシタとトランジスタを示している。

【0016】セルアレイは、シリコン基板1のp型領域に形成されている。シリコン基板1には、図3に示すように素子分離絶縁膜10により区画されたストライプ状の複数の素子形成領域9が形成されている。この素子形成領域9にゲート絶縁膜2を介してゲート電極3が形成され、ソース、ドレイン拡散層4が形成されて、トランジスタが構成されている。図1のx方向に並ぶセルアレイブロック内で複数のトランジスタの拡散層4は、隣接するもの同士で共有されている。ゲート電極3は、図1及び図3に示すようにy方向の複数のセルアレイブロックに連続的にパターン形成されて、ワード線WLとなる。

【0017】トランジスタが形成された基板上は、層間絶縁膜5により覆われている。この層間絶縁膜5には、一つおきの拡散層4に接続されるコンタクトプラグ6が埋め込まれている。コンタクトプラグ6は、不純物がドーピングされた多結晶シリコン、或いはタンガステンである。コンタクトプラグ6が埋め込まれた層間絶縁膜5上に、下部電極11、強誘電体膜12及び上部電極13からなる強誘電体キャパシタが形成されている。下部電極11は、バリアメタルを含むTiAlN/IrOx/Pt電極であり、強誘電体膜12は、SBT膜又はPZT膜であり、上部電極13は、Ir/IrOx電極である。

【0018】強誘電体キャパシタは、2個ずつが共通の下部電極11を持ち、下部電極11上に2個の個別の上部電極13を持つように対をなしている。共通の下部電極11は、一つのコンタクトプラグ6を介して一つの拡散層4に接続されている。下部電極が共通の対をなす強誘電体キャパシタは、その周囲が上部電極13の上面から下部電極11の底面まで同じマスクで連続エッチングすることによって連続する斜面をもって加工され、且つ対をなす強誘電体キャパシタ内の上部電極13間は略V字状の溝17により分離されている。上部電極13のx方向の幅aは、ゲート電極3（即ちワード線WL）の幅Wをデザインルールの最小加工寸法（例えば、0.4μm）としたときに、これより大きく、V字溝17により分離された上部電極13間のスペースbはゲート電極3の幅aの1/2以下であり、x方向に隣接する対の強誘電体キャパシタ間のスペースcよりも小さい。具体的に例えば、幅aを1μm程度、スペースcはコンタクトの大きさとその余裕を見込んで1~1.5μm程度とし、スペースbは、 $b \leq a/2$ であって例えば0.4μm或いはそれ以下に設定される。但し、上述の上部電極の幅aとスペースbの関係は、上部電極の最大幅について満たせばよいが、より好ましくは、aが最小幅の場合にも上述の関係を満たすようにする。

8

【0019】強誘電体キャパシタが形成された面は、層間絶縁膜14で覆われる。この層間絶縁膜14上に、上部電極13を拡散層4に接続する配線層16が形成される。具体的にこの実施の形態では、層間絶縁膜14に配線溝とコンタクト孔を加工し、アルミニウム（Al）のリフロー法によりコンタクト孔と配線溝に配線層16を埋め込んでいる。或いは配線層16としてCVD法等による銅（Cu）を用いることもできる。又は、コンタクト孔にはWプラグを埋め込み、その後配線溝にAl等の配線層を埋め込んでもよい。これにより、図1のx方向について、複数のトランジスタと強誘電体キャパシタが互いに並列接続されて直列に接続されたセルアレイブロックが構成される。

【0020】次に、具体的な製造工程を図5~図9を参照して説明する。これらの図は、図2の断面に対応する断面図である。まず、シリコン基板1のセルアレイ領域には、図3に示すように素子分離絶縁膜10を埋め込むことにより、ストライプ状の複数の素子形成領域9を形成する。そして、素子形成領域9に、ゲート絶縁膜2を介してゲート電極3を形成し、このゲート電極3に自己整合的にソース、ドレイン拡散層4を形成する。ゲート電極3は前述のように、y方向に連続的にパターンニングしてワード線WLとする。こうして形成されたトランジスタを覆うように層間絶縁膜5を形成する。この層間絶縁膜5にコンタクト孔を形成し、これに多結晶シリコン等のコンタクトプラグ6を埋め込む。図5は、ここまでの工程で得られる構造を示している。

【0021】この後、図6に示すように、強誘電体キャパシタを形成するための下部電極11の材料膜、強誘電体膜12及び、上部電極13の材料膜の積層膜を堆積する。下部電極11の材料膜は、バリアメタルを含むTiAlN/IrOx/Pt膜であり、強誘電体膜12は、SBT膜又はPZT膜であり、上部電極13の材料膜は、Ir/IrOx膜である。

【0022】この後、図6に示すように、フォトリソグラフィ工程を行って、上部電極13をパターンニングするためのエッチングマスク21を形成する。エッチングマスク21は、レジストでもよいし、ハードマスク（WxNy, TixNy, SiO2, Al2O3, SiO2/Al2O3, SiO2/TiO2等、或いはこれらの組み合わせ）でもよい。エッチングマスク21の幅a0はゲート電極3の幅より大きくし、共通下部電極上で対をなす上部電極間スペースとなる部分b0は、ワード線幅と同程度で0.4μm以下とし、上部電極コンタクトを形成する部分のスペースはc0コンタクト余裕を見込んだ値とする。

【0023】このエッチングマスク21を用いて、図7に示すように、上部電極13の材料膜、強誘電体膜12及び下部電極11の材料膜11を連続的に順次ドライエッチングによりエッチングする。このとき、マイクロロ

ーディング効果により、広いスペースc0の部分では、下部電極11の材料膜のエッチングが終了しても、狭いスペースb0の部分では、下部電極11は残る。この結果、対をなす強誘電体キャパシタの周囲は段差のない連続斜面として加工され、共通下部電極11上で上部電極13が先鋭なV字溝17により分離された状態になる。即ち、1回のリソグラフィ工程とドライエッチング工程によって、各強誘電体キャパシタに個別の上部電極13の分離と、二つの強誘電体キャパシタに共通の下部電極11のパターンが加工される。但し、V字状溝17は、必ずしも完全なV字である必要はなく、略V字をなすものであればよい。

【0024】この後、図8に示すように、強誘電体キャパシタを覆う層間絶縁膜14を堆積して平坦化する。次いで、図9Aに示すように、層間絶縁膜14に上部電極を拡散層4に接続するための配線溝23と上部電極13に対するコンタクト孔24aを加工する。そして、コンタクト孔24aに酸素を導入してアニールを行いダメージ回復処理をする。その後図9Bに示すように、拡散層4に対するコンタクト孔24bを形成する。そして、図2に示すように、コンタクト孔24a、24bと配線溝23にA1リフロー法により配線層16を埋め込む。この後は図示しないが、更に層間絶縁膜を堆積し、ビット線やプレート線を形成する。

【0025】この実施の形態の製造方法により、単位セル面積が縮小される理由を、具体的に比較例と比較しながら説明する。二つの上部電極が共通下部電極を持つようにする場合、通常であれば、上部電極と下部電極に対して別工程でエッチングを行う。その比較例の工程を図7に対応させて示すと、図10と図11になる。図10は、1回目のリソグラフィにより得られたエッチングマスク31により上部電極13をエッチングする工程である。図11は、2回目のリソグラフィにより得られたエッチングマスク32を用いて、下部電極11をエッチングする工程である。この場合、図11の工程では、既に加工されている上部電極13をエッチングすることがないように、上部電極13に対する合わせ余裕dが必要になる。

【0026】この合わせ余裕dが単位セル面積の大きさに影響する。図12と図13は、実施の形態と比較例による強誘電体キャパシタの寸法を比較して示している。比較例、実施の形態共に、上部電極13の幅a（但し厳密には上部電極の底面位置での幅）、対をなす強誘電体キャパシタの上部電極13の分離スペースb（但し、上部電極の底面位置でのスペース）、コンタクト形成のための余裕を必要とするスペースc（下部電極の底面位置でのスペース）を同じとして、対をなす二つの強誘電体キャパシタの幅は、比較例の場合、 $2a + b + 2d$ であるのに対し、実施の形態の場合には、 $2a + b$ となる。

【0027】以上により、この実施の形態の製造方法に

よれば単位セル当たりの面積を縮小できることがわかる。しかも、上部電極加工後に更に下部電極加工を行う方法では、合わせ余裕が十分でないと、上部電極の一部がエッチングされる事態が発生する。これは特に微細セルを配列する場合には、セル特性の大きなばらつきになる。これに対してこの実施の形態では、上部電極はパターンニング後更にエッチングに晒されることはないから、微細セルの場合でも優れた特性が得られる。

【0028】図14は、別の実施の形態によるメモリセル断面構造を、図2の断面に対応させて示している。図2の実施の形態では、共通下部電極11上の二つの上部電極13の間を分離するV字溝17は、先端が丁度下部電極11に達し、強誘電体膜12をほぼ完全に分離した状態を示している。隣接キャパシタ間のリークを確実に防止する上で好ましい。しかし、強誘電体膜12の分離は必ずしも必要ではない。図14では、V字状の分離溝17は、上部電極13を分離できるに必要最小限の深さとしている。これは、先の実施の形態の図7の工程で、エッチングマスク21のスペースbをより小さくすればよい。これにより、単位セル面積の一層の縮小が可能になる。

【0029】この発明は、チェーン型強誘電体メモリに限られず、通常の1トランジスタ/1キャパシタ、或いは2トランジスタ/2キャパシタのセル構造の強誘電体メモリにも同様に適用可能である。例えば図15に示すトランジスタTと強誘電体キャパシタCのセルアレイにこの発明を適用したときのワード線方向の断面を図16に示す。

【0030】この場合、ワード線方向に並ぶ複数個1セットの強誘電体キャパシタCの下部電極11は連続する共通電極とし、上部電極13は、V字溝17により分離している。このキャパシタ構造は、先の実施の形態と同様に、下部電極材料膜、強誘電体膜及び上部電極材料膜の積層膜に対して、上部電極13を覆うエッチングマスクを用いた1回のドライエッチングを行うことで作ることができる。1セットの強誘電体キャパシタの周囲は、上部電極上面から下部電極底面まで連続する段差のない斜面をもって加工され、且つ各上部電極間が略V字状の溝により分離されている。この実施の形態の場合も、1セットの強誘電体キャパシタの中で、上部電極13間のスペースは、上部電極13の幅の $1/2$ 以下とする。

【0031】図16の場合、1セットのキャパシタ配列の一端側キャパシタはダミーキャパシタであり、このダミーキャパシタの上部電極13及び強誘電体膜12を貫通して下部電極11に対してコンタクトさせた配線層15-0は、プレート線PLとなる。これ以外のキャパシタの上部電極13は、セルノード電極となる配線層15により、それぞれ対応するトランジスタの拡散層に接続されることになる。この実施の形態によっても、単位セル面積の縮小が図られる。

【0032】以上において、電極材料及び強誘電体材料については、代表的なものを例示したが、その他種々の材料が用い得る。例えば上部電極には、Pt, Ir, Ru, Srの中から選ばれた少なくとも一種を含むものであればよい。下部電極には、Pt, Ir, Ru, Sr, Ti, Alの中から選ばれた少なくとも一種を含むものであればよい。強誘電体膜としては、PZT, SBTの他、各種の層状ペロブスカイト構造の酸化物膜、例えばPTO, BTO等を用いる。

#### 【0033】

【発明の効果】以上述べたようにこの発明によれば、共通下部電極と個別の上部電極とを1回のリソグラフィ工程で加工することにより、合わせずれによる電極寸法誤差を生じることなく、強誘電体メモリの単位セル面積を縮小することができる。

#### 【図面の簡単な説明】

【図1】この発明の実施の形態による強誘電体メモリのセルアレイレイアウトを示す図である。

【図2】図1のA-A'断面図である。

【図3】図1のB-B'断面図である。

【図4】チェーン型強誘電体メモリのセルアレイ等価回路である。

【図5】実施の形態のセルアレイのトランジスタ形成工程後の断面図である。

【図6】強誘電体キャパシタの各材料積層膜を堆積した状態の断面図である。

【図7】強誘電体キャパシタのエッチング工程を示す断\*

\*面図である。

【図8】強誘電体キャパシタを覆う層間絶縁膜を堆積した状態の断面図である。

【図9A】層間絶縁膜に配線溝及び上部電極コンタクト孔を加工した状態の断面図である。

【図9B】層間絶縁膜に拡散層コンタクト孔を加工した状態の断面図である。

【図10】比較例の上部電極エッチング工程を示す断面図である。

10 【図11】同比較例の下部電極エッチングの工程を示す断面図である。

【図12】実施の形態による強誘電体キャパシタ配列を示す図である。

【図13】比較例による強誘電体キャパシタ配列を示す図である。

【図14】他の実施の形態によるセルアレイ断面構造を示す図である。

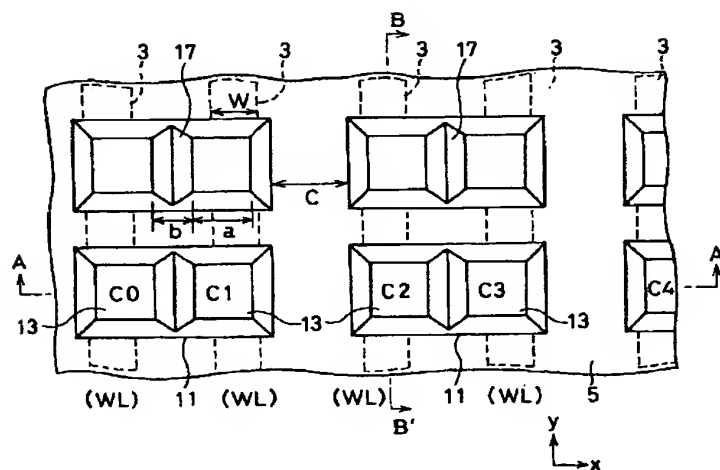
【図15】他の実施の形態による1トランジスタ/1キャパシタのセルアレイ等価回路である。

20 【図16】同実施の形態のセルアレイ断面図である。

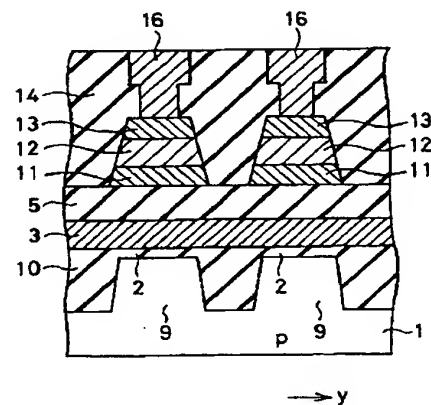
#### 【符号の説明】

1…シリコン基板、2…ゲート絶縁膜、3…ゲート電極、4…拡散層、5…層間絶縁膜、6…コンタクトプラグ、9…素子形成領域、10…素子分離絶縁膜、11…下部電極、12…強誘電体膜、13…上部電極、14…層間絶縁膜、16…配線層、17…V字溝。

【図1】

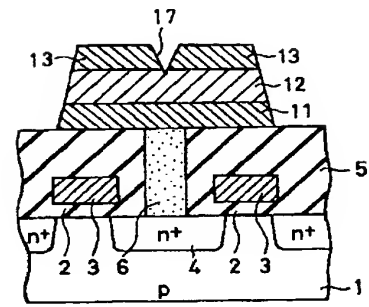


【図3】

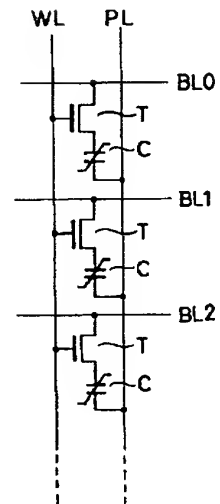




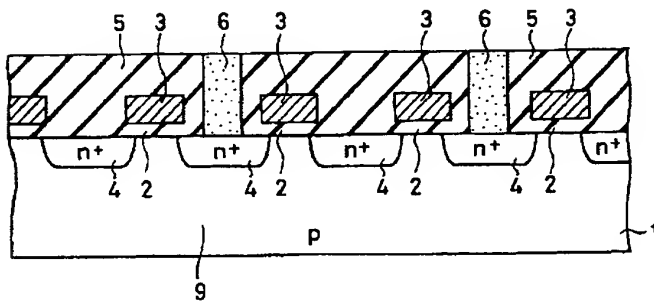
【図 14】



【図 15】



【図 5】





A detailed cross-sectional view of a semiconductor device, labeled 1. The device features a substrate 1 with a p-type region 9. On the surface, there are repeating units. Each unit includes a p<sup>+</sup> region 4, a layer 2, a layer 3, and a layer 5. Above these layers are various structures: a hatched layer 11, a hatched layer 12, and a hatched layer 13. The top surface has a series of rectangular blocks 21. Dimensions are indicated: c0 for the total width of a unit, a0 for the width of a block 21, and b0 for the width of a gap between blocks. A central region 6 is also labeled.

[illegible]

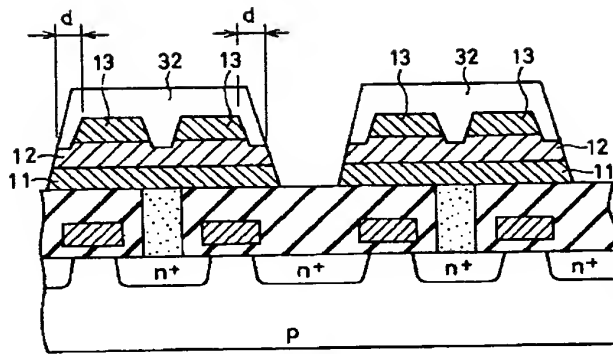
A cross-sectional view of a semiconductor device. The structure consists of a substrate 1 with a p-type region 9. On the surface of the p-type region, there are several n<sup>+</sup> regions 4. Between these n<sup>+</sup> regions are regions 2, 3, and 6. A layer 5 is deposited over the n<sup>+</sup> regions and regions 2, 3, and 6. On top of layer 5, there are regions 11, 12, and 13. A layer 14 is deposited over regions 11, 12, and 13. A layer 17 is deposited over layer 14. The device is shown in a cross-sectional view with various layers and regions labeled with numbers and symbols.

This diagram shows a cross-sectional view of a semiconductor device. A substrate 1 is shown with a p-type region 9. A trench 10 is formed in the substrate, with its bottom surface being a p+ region 11. The trench is filled with a material 12. The trench is divided into sections by vertical walls 13. The walls 13 are labeled with 14, 23, 24a, and 24b. The bottom surface of the trench is labeled with 4, 2, 3, 6, and n+. The trench is filled with a material 12. The trench is divided into sections by vertical walls 13. The walls 13 are labeled with 14, 23, 24a, and 24b. The bottom surface of the trench is labeled with 4, 2, 3, 6, and n+.

A cross-sectional view of a semiconductor device. The base is a p-type substrate (P) with several n+ regions. Above the substrate is a layer 11, which contains rectangular regions with different hatching patterns. Above layer 11 is a layer 12. The top surface features a series of trapezoidal patterns, each consisting of a top layer 31 and a bottom layer 13.

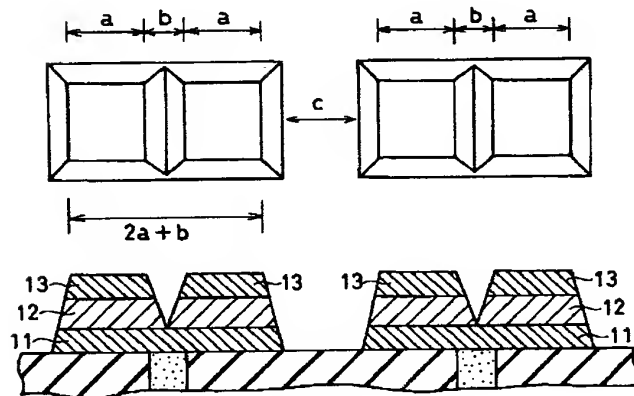
比較例：上部電極エッチング

【図11】

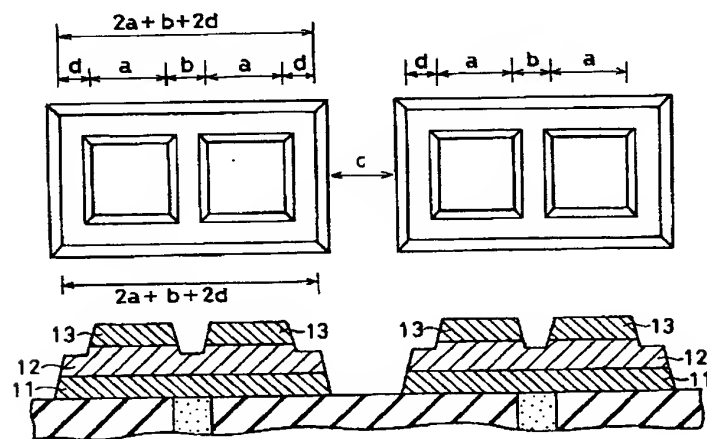


比較例：下部電極エッチング

【図12】



【図13】



【図 16】

